



IPW

KA-10064
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Shoichiro CHIBA et al. et al.

Appln. No.: 10/811,902

Group Art Unit: 2811

Filed: March 30, 2004

For: DATA PROCESSOR

* * *

TRANSMITTAL OF CERTIFIED COPY OF PRIORITY DOCUMENT

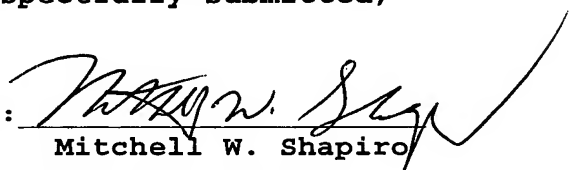
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of priority
Japanese Patent Application No. 2003-113555 filed April 18,
2003.

Respectfully submitted,

By:


Mitchell W. Shapiro
Reg. No. 31,568

MWS:lat

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

September 15, 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 4月18日
Date of Application:

出願番号 特願2003-113555
Application Number:

ST. 10/C]: [JP2003-113555]

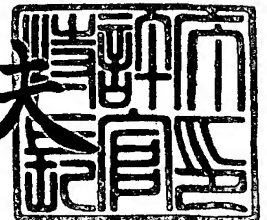
願 人 株式会社ルネサステクノロジ
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 4月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-3029466

【書類名】 特許願

【整理番号】 H03004451

【提出日】 平成15年 4月18日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/78

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
 ステクノロジ内

 【氏名】 千葉 勝一郎

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
 ステクノロジ内

 【氏名】 奥村 浩司

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
 ステクノロジ内

 【氏名】 田中 利広

【特許出願人】

 【識別番号】 503121103

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100089071

 【弁理士】

 【氏名又は名称】 玉村 静世

 【電話番号】 03-5217-3960

【手数料の表示】

 【予納台帳番号】 011040

 【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 データプロセッサ

【特許請求の範囲】

【請求項 1】 半導体基板に複数個の内部回路を有し、前記内部回路として不揮発性メモリと中央処理装置とを含むデータプロセッサであって、

前記不揮発性メモリは、ゲート絶縁膜の上に記憶保持用の電荷蓄積性絶縁膜とメモリゲート電極が重ねられて電氣的に消去及び書き込み可能にされた不揮発性メモリセルを有するメモリアレイを備え、前記メモリアレイの一部にデータプロセッサのリセット指示によって読み出し可能にされる特定記憶領域を有し、

前記特定記憶領域から読み出されるデータは、所定の内部回路の正規記憶領域を冗長記憶領域に置き換え可能にする救済情報であることを特徴とするデータプロセッサ。

【請求項 2】 半導体基板に複数個の内部回路を有し、前記内部回路として不揮発性メモリと中央処理装置とを含むデータプロセッサであって、

前記不揮発性メモリは、ゲート絶縁膜の上に記憶保持用の電荷蓄積性絶縁膜とメモリゲート電極が重ねられて電氣的に消去及び書き込み可能にされた不揮発性メモリセルを有するメモリアレイを備え、前記メモリアレイの一部にデータプロセッサのリセット指示によって読み出し可能にされる特定記憶領域を有し、

前記特定記憶領域から読み出されるデータは、所定の内部回路の特性を調整可能にするトリミング情報であることを特徴とするデータプロセッサ。

【請求項 3】 半導体基板に複数個の内部回路を有し、前記内部回路として不揮発性メモリと中央処理装置とを含むデータプロセッサであって、

前記不揮発性メモリは、ゲート絶縁膜の上に記憶保持用の電荷蓄積性絶縁膜とメモリゲート電極が重ねられて電氣的に消去及び書き込み可能にされた不揮発性メモリセルを有するメモリアレイを備え、

前記不揮発性メモリに対する記憶情報の書き換えを所定の内部回路に制御させる第 1 モードとデータプロセッサに接続される外部装置に制御させる第 2 動作モードとを選択可能に指定する動作モード信号の入力端子を有することを特徴とするデータプロセッサ。

【請求項 4】 前記不揮発性メモリセルは、情報記憶に用いる第 1 のトランジスタ部と前記第 1 のトランジスタ部を選択する第 2 のトランジスタ部とから成り、

前記第 1 のトランジスタ部は前記電荷蓄積性絶縁膜とメモリゲート電極を有する MONOS 型とされ、

前記第 2 のトランジスタ部は MOS 型とされることを特徴とする請求項 1 乃至 3 の何れか 1 項記載のデータプロセッサ。

【請求項 5】 前記第 1 のトランジスタ部のチャネル領域と第 2 のトランジスタ部のチャネル領域は隣接され、

前記第 2 のトランジスタ部のゲート絶縁耐圧は、前記第 1 のトランジスタ部のゲート絶縁耐圧よりも低いことを特徴とする請求項 4 記載のデータプロセッサ。

【請求項 6】 前記第 1 のトランジスタ部のチャネル領域と第 2 のトランジスタ部のチャネル領域は隣接され、

前記第 2 トランジスタ部のゲート絶縁膜は前記中央処理装置を構成する MOS 型トランジスタのゲート絶縁膜と同じ厚さを有することを特徴とする請求項 4 記載のデータプロセッサ。

【請求項 7】 前記第 1 トランジスタ部は、ソース線に接続するソース線電極、メモリゲート制御線に接続する前記メモリゲート電極、及び前記メモリゲート電極の直下に配置された前記電荷蓄積性絶縁膜を有し、

前記第 2 トランジスタ部は、ビット線に接続するビット線電極、及びコントロールゲート制御線に接続するコントロールゲート電極を有することを特徴とする請求項 5 又は 6 記載のデータプロセッサ。

【請求項 8】 前記ビット線をグローバルビット線に接続可能なスイッチ MOS トランジスタを有し、

前記スイッチ MOS トランジスタのゲート酸化膜厚は第 1 トランジスタ部のゲート酸化膜厚よりも薄いことを特徴とする請求項 7 記載のデータプロセッサ。

【請求項 9】 前記コントロールゲート制御線を駆動する第 1 ドライバ、前記メモリゲート制御線を駆動する第 2 ドライバ、前記スイッチ MOS トランジスタをオン状態に駆動する第 3 ドライバ、前記ソース線を駆動する第 4 ドライバを

有し、

前記第 1 ドライバ及び第 3 ドライバは第 1 電圧を動作電源とし、前記第 2 ドライバ及び第 4 ドライバは前記第 1 電圧よりも高い電圧を動作電源とすることを特徴とする請求項 8 記載のデータプロセッサ。

【請求項 10】 前記第 1 トランジスタ部の閾値電圧を高くするとき、第 1 ドライバの動作電源を第 1 電圧、第 4 ドライバの動作電源を第 1 電圧よりも高い第 2 電圧、第 2 ドライバの動作電源を第 2 電圧以上の第 3 電圧として、ビット線電極側から電荷蓄積領域にホットエレクトロンを注入可能にする制御回路を有して成るものであることを特徴とする請求項 9 記載のデータプロセッサ。

【請求項 11】 前記制御回路は、前記第 1 トランジスタ部の閾値電圧を低くするとき、前記第 2 ドライバの動作電源を第 3 電圧以上の第 4 電圧として、電荷蓄積領域からメモリゲート電極にエレクトロンを放出させることを特徴とする請求項 10 記載のデータプロセッサ。

【請求項 12】 閾値電圧が低くされた第 1 トランジスタ部はデプレション型とされ、閾値電圧が高くされた第 1 トランジスタ部はエンハンスメント型とされることを特徴とする請求項 11 記載のデータプロセッサ。

【請求項 13】 半導体基板に複数個の内部回路を有し、前記内部回路として不揮発性メモリと中央処理装置とを含むデータプロセッサであって、

前記不揮発性メモリに対する記憶情報の書き換えを第 1 の内部回路に制御させる第 1 モードとデータプロセッサに接続される外部装置に制御させる第 2 動作モードとを選択可能に指定する動作モード信号の入力端子を有し、

前記不揮発性メモリは、ゲート絶縁膜の上に記憶保持用の電荷蓄積性絶縁膜とメモリゲート電極が重ねられて電氣的に消去及び書き込み可能にされた不揮発性メモリセルを有するメモリアレイを備え、前記メモリアレイの一部にデータプロセッサのリセット指示によって読み出し可能にされる特定記憶領域を有し、

前記特定記憶領域から読み出されるデータは、第 2 の内部回路の正規記憶領域を冗長記憶領域に置き換え可能にする救済情報、及び、第 3 の内部回路の特性を調整可能にするトリミング情報であることを特徴とするデータプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電氣的に消去及び書き込み可能な不揮発性メモリを有するデータプロセッサに関し、例えばオンチップフラッシュメモリを有するマイクロコンピュータに適用して有効な技術に関する。

【0002】

【従来の技術】

マイクロコンピュータに内蔵されたフラッシュメモリの書き換え内部回路に制御させる動作モードとEPROMライタなどの外部装置に制御させるモードとを選択可能にする技術が提供されている（特許文献1参照）。

【0003】

大規模集積回路における欠陥救済やトリミングのための情報をオンチップフラッシュメモリに格納し、リセット処理にてそれら情報を対応回路に初期的にロードする技術が提供されている（特許文献2、特許文献3参照）。

【0004】

フラッシュメモリ等に適用される不揮発性メモリセルとしてスプリットゲート型メモリセルがある。スプリットゲート型メモリセルは記憶部を構成するメモリMOS型トランジスタと、そのメモリ部を選択して情報を取り出すための選択MOS型トランジスタの2つのトランジスタから構成されている（非特許文献1、特許文献4乃至6）。例えば非特許文献1記載のスプリットゲート型メモリセルは、ソース、ドレイン、浮遊ゲート、及び制御ゲートから成る。浮遊ゲートへの電荷注入はホットエレクトロンの発生を用いるソースサイド・インジェクション方式である。浮遊ゲートに蓄積された電荷は、浮遊ゲート先端部から制御ゲートへ放出する。このとき、制御ゲートには12ボルトの高電圧を掛けることが必要になる。電荷放出電極として機能した制御ゲートは、読出し用の選択MOS型トランジスタのゲート電極でもある。選択MOS型トランジスタ部のゲート酸化膜は堆積酸化膜であり、浮遊ゲートと選択MOS型トランジスタのゲート電極とを電氣的に絶縁する膜としても機能している。

【0005】

スタックゲート型メモリセルは、ソース、ドレイン、及びチャネル形成領域上にスタックされた浮遊ゲートと制御ゲートから成る。浮遊ゲートへの電荷注入はホットエレクトロンの発生を用いる。浮遊ゲートに蓄積された電荷は、基板に放出する。このとき、制御ゲートには-10ボルトの負の高電圧を掛けることが必要になる。読み出しは制御ゲートに3.3ボルトのような読み出し電圧を印加して行う（特許文献7参照）。

【0006】**【特許文献1】**

特開平5-266219号公報

【特許文献2】

特開2000-149588号公報

【特許文献3】

特開平7-334999号公報

【特許文献4】

米国特許第4659828号明細書

【特許文献5】

米国特許第5408115号明細書

【特許文献6】

特開平5-136422号公報

【特許文献7】

特開平11-232886号公報

【非特許文献1】

アイ・イー・イー・イー、ブイエルएसアイ・テクノロジー・シンポジウム (IEEE、VLSI Technology Symposium)、1994年予稿集、p. 71-p. 72

【0007】**【発明が解決しようとする課題】**

データ処理の高速化の観点よりすれば、不揮発性記憶装置においても、その読み出し動作の高速性が重要となる。前記スプリットゲート型メモリセルにおいては

、選択MOSトランジスタのゲート電極が消去電極としても機能する構成である。そのため、ゲート絶縁膜も絶縁耐圧を確保するために、書き込み・消去電圧制御用の高耐圧MOSトランジスタのそれと同じ膜厚にせざるを得なかった。これにより、選択MOSトランジスタの G_m （電流供給能力としての相互コンダクタンス）は小さくなり、読出し電流を十分に取ることが出来る構造とは言い難い。このままでは低電圧下での高速動作には適さない。スタックゲート型セルの場合は書き込み・消去動作で高電圧が印加されるコントロールゲートに高耐圧を実現する厚いゲート酸化膜が採用されるので、これが読み出し動作時の G_m を小さくし、読出し電流を十分に取ることが出来る構造とは言い難い。

【0008】

前記特許文献4、5に記載の発明は書き込み・消去動作に関するものであり、読出し動作性能の向上については言及されていない。特許文献6は本発明に類似したメモリセルを開示しているが、隣接する2つのゲート電極を絶縁する方法についての発明であり、読出し性能についての開示は無い。したがって、スプリットゲート型メモリセルに対しても、データ処理の高速化を企図するデータプロセッサに適合するには、更なる工夫が必要である。

【0009】

また、不揮発性メモリには階層化ビット線構造を採用するものがある。これは、ビット線を主ビット線と副ビット線に階層化し、動作選択されるべきメモリセルが接続される副ビット線だけを選択して主ビット線に接続し、メモリセルによるビット線の寄生容量を見掛け上減らすことによって高速読み出し動作を実現する技術である。しかしながら、スタックゲート型メモリセルのように書き込み時にビット線にも高電圧の印加を要する場合には副ビット線を主ビット線に選択的に接続するためのMOSトランジスタに対して高耐圧化しなければならず、読み出し経路の G_m が更に小さくなり、階層化ビット線構造による高速化を十分機能させることができない。

【0010】

本発明の目的は、不揮発性メモリにおける記憶情報の読み出し経路から厚膜の高耐圧MOSトランジスタを排除することにある。

【0011】

本発明の目的は、オンチップ不揮発性メモリから記憶情報を高速に読み出すことができるデータプロセッサを提供することである。

【0012】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】

〔1〕本発明に係るデータプロセッサは、半導体基板に複数の内部回路を有し、前記内部回路として不揮発性メモリと中央処理装置とを含む。前記不揮発性メモリは、ゲート絶縁膜の上に記憶保持用の電荷蓄積性絶縁膜とメモリゲート電極が重ねられて電氣的に消去及び書き込み可能にされた不揮発性メモリセルを有するメモリアレイを備え、前記メモリアレイの一部にデータプロセッサのリセット指示によって読み出し可能にされる特定記憶領域を有する。前記特定記憶領域から読み出されるデータは、所定の内部回路の正規記憶領域を冗長記憶領域に置き換え可能にする救済情報である。救済対象の指定に電気ヒューズやレーザヒューズに対するプログラムを必要とせず、欠陥救済に対する救済効率を向上させることができる。

【0015】

〔2〕本発明に係るデータプロセッサは、半導体基板に複数の内部回路を有し、前記内部回路として不揮発性メモリと中央処理装置とを含む。前記不揮発性メモリは、ゲート絶縁膜の上に記憶保持用の電荷蓄積性絶縁膜とメモリゲート電極が重ねられて電氣的に消去及び書き込み可能にされた不揮発性メモリセルを有するメモリアレイを備え、前記メモリアレイの一部にデータプロセッサのリセット指示によって読み出し可能にされる特定記憶領域を有する。前記特定記憶領域から読み出されるデータは、所定の内部回路の特性を調整可能にするトリミング

情報である。回路特性の調整に電気ヒューズやレーザヒューズに対するプログラムを必要とせず、回路特性の調整効率を向上させることができる。

【0016】

〔3〕本発明に係るデータプロセッサは、半導体基板に複数の内部回路を有し、前記内部回路として不揮発性メモリと中央処理装置とを含む。前記不揮発性メモリは、ゲート絶縁膜の上に記憶保持用の電荷蓄積性絶縁膜とメモリゲート電極が重ねられて電氣的に消去及び書き込み可能にされた不揮発性メモリセルを有するメモリアレイを備える。前記不揮発性メモリに対する記憶情報の書き換えを所定の内部回路に制御させる第1モードとデータプロセッサに接続される外部装置に制御させる第2動作モードとを選択可能に指定する動作モード信号の入力端子を有する。第2モードを指定することにより、データプロセッサをシステムに実装する前に不揮発性メモリにプログラムや救済情報などを効率的に書き込みすることができる。第1動作モードを指定することにより、データプロセッサをシステムに実装した後にオンボードで不揮発性メモリにプログラムや救済情報などの書き換えを行なうことが可能になる。

【0017】

〔4〕本発明に係るデータプロセッサは半導体基板に複数の内部回路を有し、前記内部回路として不揮発性メモリと中央処理装置とを含む。前記不揮発性メモリに対する記憶情報の書き換えを第1の内部回路に制御させる第1モードとデータプロセッサに接続される外部装置に制御させる第2動作モードとを選択可能に指定する動作モード信号の入力端子を有する。前記不揮発性メモリは、ゲート絶縁膜の上に記憶保持用の電荷蓄積性絶縁膜とメモリゲート電極が重ねられて電氣的に消去及び書き込み可能にされた不揮発性メモリセルを有するメモリアレイを備え、前記メモリアレイの一部にデータプロセッサのリセット指示によって読み出し可能にされる特定記憶領域を有する。前記特定記憶領域から読み出されるデータは、第2の内部回路の正規記憶領域を冗長記憶領域に置き換え可能にする救済情報、及び、第3の内部回路の特性を調整可能にするトリミング情報である。

【0018】

〔5〕前記不揮発性メモリセルは、情報記憶に用いる第1のトランジスタ部（23）と前記第1のトランジスタ部を選択する第2のトランジスタ部（24）とから成るスプリットゲート構造とする。前記第1のトランジスタ部は前記電荷蓄積性絶縁膜（31）とメモリゲート電極（34）を有するMONOS型とされる。前記第2のトランジスタ部はMOS型とされる。

【0019】

更に詳しくは、前記第1のトランジスタ部のチャネル領域と第2のトランジスタ部のチャネル領域は隣接され、前記第2のトランジスタ部のゲート絶縁耐圧は、前記第1のトランジスタ部のゲート絶縁耐圧よりも低い。前記第2トランジスタ部のゲート絶縁膜は前記中央処理装置を構成するMOS型トランジスタのゲート絶縁膜と同じ厚さを有する。

【0020】

上記より、データ読み出し動作では不揮発性メモリセルの第2トランジスタ部をオン状態にしたとき、第1トランジスタ部の閾値電圧状態に従って電流が流れるか否かに応じてビット線に記憶情報が読み出される。第2トランジスタ部は第1トランジスタ部よりもゲート耐圧が低いから、記憶保持用のMOSトランジスタ部と選択用のMOSトランジスタ部の双方を高耐圧で形成する場合に比べ、選択用のMOSトランジスタ部に対して比較的低いゲート電圧で比較的大きな G_m を得ることが容易になり、不揮発性メモリセル全体の電流供給能力、即ち G_m を相対的に大きくする事ができ、読み出し速度の高速化を実現する。

【0021】

例えば、前記第1トランジスタ部は、ソース線に接続するソース線電極、メモリゲート制御線に接続する前記メモリゲート電極、及び前記メモリゲート電極の直下に配置された前記電荷蓄積性絶縁膜を有する。前記第2トランジスタ部は、ビット線に接続するビット線電極、及びコントロールゲート制御線に接続するコントロールゲート電極を有する。

【0022】

第1トランジスタ部に比較的高い閾値電圧を設定する動作では、例えば、メモリゲート電極に高電圧を印加し、第2トランジスタ部をオン動作させてソース線

からビット線に電流を流し、第1トランジスタ部と第2トランジスタ部の境界部分から発生したホットエレクトロンを電荷蓄積性絶縁膜に保持させればよい。第1トランジスタ部に比較的低い閾値電圧を設定する動作では、例えば、メモリゲート電極に高電圧を印加し、第2トランジスタ部をオン動作させてビット線電極及びソース線電極を回路の接地電位とし、絶縁性電荷蓄積層に保持されているエレクトロンをメモリゲート電極に放出させればよい。したがって、第1トランジスタ部に比較的低い閾値電圧又は比較的高い閾値電圧を設定する動作は、コントロールゲート制御線やビット線に高電圧を印加することなく実現することが可能である。このことは、第2トランジスタ部のゲート耐圧が比較的低くてよいことを保証する。

【0023】

前記ビット線をグローバルビット線（GL）に接続可能なスイッチMOSトランジスタ（39）を設け、階層ビット線構造（デバイデッドビット線構造）を採用してよい。デバイデッドビット線構造により、読み出し動作において一部の不揮発性メモリセルだけをグローバルビット線に接続して、ビット線に寄生容量を見掛け上小さくして更に読み出し動作の高速化を図ることに寄与する。このとき、消去・書き込み動作において前記ビット線には高電圧を印加しなくても済むから、前記スイッチMOSトランジスタのゲート酸化膜厚は第1トランジスタ部のゲート酸化膜厚よりも薄く形成すればよい。要するに、前記スイッチMOSトランジスタには比較的大きな電流供給能力を与えることが容易であり、デバイデッドビット線構造による読み出し動作の高速化を保証することが可能になる。

【0024】

更に詳細な態様として、前記コントロールゲート制御線を駆動する第1ドライバ（41）、前記メモリゲート制御線を駆動する第2ドライバ（42）、前記スイッチMOSトランジスタをオン状態に駆動する第3ドライバ（43）、前記ソース線を駆動する第4ドライバ（44）を有し、前記第1ドライバ及び第3ドライバは第1電圧を動作電源とし、前記第2ドライバ及び第4ドライバは前記第1電圧よりも高い電圧を動作電源とする。

【0025】

前記第1トランジスタ部の閾値電圧を高くするとき、第1ドライバの動作電源を第1電圧、第4ドライバの動作電源を第1電圧よりも高い第2電圧、第2ドライバの動作電源を第2電圧以上の第3電圧として、ビット線電極側から電荷蓄積領域にホットエレクトロンを注入可能にする制御回路を有する。

【0026】

前記第1トランジスタ部の閾値電圧を低くするとき、前記第2ドライバの動作電源を第3電圧以上の第4電圧として、電荷蓄積領域からメモリゲート電極にエレクトロンを放出させればよい。

【0027】

閾値電圧が低くされた第1トランジスタ部はデプレッション型とされ、閾値電圧が高くされた第1トランジスタ部はエンハンスメント型とされてよい。

【0028】

前記制御回路は、前記不揮発性メモリセルの記憶情報を読み出すとき、第1ドライバの動作電源を第1電圧、メモリゲート電極及びソース線電極を回路の接地電位としてよい。読み出し動作時の電流の向きはビット線からソース線の向きになる。

【0029】

前記制御回路は、前記不揮発性メモリセルの記憶情報を読み出すとき、第1ドライバの動作電源を第1電圧、メモリゲート電極及びビット線電極を回路の接地電位としてよい。読み出し動作時の電流の向きは上記とは逆にソース線からビット線の向きになる。

【0030】

【発明の実施の形態】

《マイクロコンピュータ》

図1には本発明の一例に係るマイクロコンピュータが示される。同図に示されるマイクロコンピュータ1は、例えば相補型MOS（CMOS）集積回路製造技術によって単結晶シリコンのような1個の半導体基板（半導体チップ）に形成される。

【0031】

マイクロコンピュータ 1 は、全体の制御を司る中央処理装置 (CPU) 2、割込コントローラ (INT) 3、主に CPU 2 の OS (オペレーティングシステム) 等の処理プログラムなどを格納する不揮発性メモリである ROM 4、主に、CPU 2 の作業領域並びにデータの一時記憶用のメモリである RAM 5、CPU 2 の処理プログラム及び救済情報等を電氣的に消去及び書き込み可能に格納する不揮発性メモリであるフラッシュメモリ 6、タイマ 7、シリアルコミュニケーションインタフェース (SCI) 8、アナログデジタル変換器 (A/D) 9、ダイレクトメモリアクセスコントローラ (DMAC) 10、入出力ポート (I/O ポート) 11a~11i、クロック発振器 (CPG) 12、電源回路 13、及びシステムコントローラ 14 の機能ブロック乃至はモジュールを有する。

【0032】

前記マイクロコンピュータ 1 は、外部電源端子として、グランドレベル (VSS)、電源電圧レベル (VDD)、アナロググランドレベル (AVSS)、アナログ電源電圧レベル (AVDD) の電源端子、その他の専用制御端子として、リセット (RES)、スタンバイ (STBY)、モード制御 (MD0、MD1、MD2)、クロック入力 (EXTAL、XTAL) の各端子を有する。

【0033】

マイクロコンピュータ 1 は、CPG 10 の端子 EXTAL、XTAL に接続される水晶発振子または EXTAL 端子に入力される外部クロックに基づいて生成される基準クロック信号 (システムクロック) ϕ に同期して動作を行う。この基準クロック信号 ϕ の 1 周期をステートと呼ぶ。

【0034】

マイクロコンピュータ 1 の機能ブロックは、内部バス 16 によって相互に接続される。バスの制御を行う、図示はされないバスコントローラを内蔵している。内部バス 16 はアドレスバス (ABUS)、データバス (DBUS) の他、リード信号・ライト信号・バスサイズ信号をエンコードしたバスコマンドが伝達されるコントロールバスを含む。

【0035】

前記機能ブロックやモジュールは内部バス 16 を介して、CPU 2 によってリ

ード／ライトさる。内部バス16のデータバス幅は32ビットとする。内蔵ROM4やRAM5のリード／ライトは1ステートで可能にされる。

【0036】

なお、前記タイマ7、SCI8、A/D変換器9、入出力ポート(IOP)11a~11i、電源回路13及びシステムコントローラ14が有する制御レジスタを総称して、内部I/Oレジスタと呼ぶ。各入出力ポート11a~11iは、アドレスバス、データバス、バス制御信号あるいはタイマ7、SCI8、A/D変換器9の入出力端子と兼用されている。

【0037】

CPU2は、命令制御部と実行部を有する。命令制御部は命令フェッチを制御し、フェッチした命令をデコードする。実行部は命令のデコード結果にしたがってオペランドアクセスや算術論理演算処理などを行なって命令を実行する。

【0038】

割込みコントローラ3は前記タイマ6、SCI8、A/D9からの割込み信号やマイクロコンピュータ1の外部から与えられる割込み信号を入力し、それらに対する優先制御やマスク制御を行なって、CPU2に割り込みを要求する。割込みが要求されたCPU2は、実行途中の命令実行を完了して割込み要因に応じた処理に分岐する。割込み要因に応じた処理の最後に例えば復帰命令を実行し、分岐前の処理に復帰して、途中で中断した処理を再開する。

【0039】

電源回路13は、例えば外部端子より供給される3.3Vの電源($V_{DD}=3.3V$ 、 $V_{SS}=0V$)を降圧して、1.5Vの内部電源($v_{dd}=1.5V$ 、 $v_{ss}=0V$)をチップ内に供給する。さらに電源回路13は、基板バイアスをひくための基板電源としての基板バイアス電圧等も生成する。

【0040】

前記リセット端子RESがローレベルに変化され、或は電源端子VDDに動作電源が投入されると、CPU2を始めとし、マイクロコンピュータ1の内部はリセットされる。その後、前記リセット端子RESがローレベルからハイレベルにされ、或は所定時間を経過することによって、リセットが解除される。リセット

が解除されると、CPU 2 は所定のスタートアドレスから命令をリードして命令の実行を開始する。

【0 0 4 1】

データプロセッサ 1 にリセット信号 RES が与えられると、CPU 2 等のオンチップ回路モジュールはリセット状態とされる。このリセット信号 RES によるリセット状態が解除されると、CPU 2 は所定の制御プログラムのスタートアドレスから命令をフェッチし、プログラムの実行を開始する。

【0 0 4 2】

前記フラッシュメモリ 6 は、電氣的な消去・書込みによって情報を書換え可能であって、EPROM と同様にそのメモリセルを 1 個のトランジスタで構成することができ、更にメモリセルの全てを一括して、またはメモリセルのブロック（メモリブロック）を一括して電氣的に消去する機能を持つ。フラッシュメモリ 6 は、一括消去可能な単位として複数個のメモリブロックを有する。小メモリブロックの記憶容量は RAM 5 の記憶容量よりも小さくされる。したがって、RAM 5 は、小メモリブロックからデータ転送を受けてその情報を一時的に保持することができ、書換えのための作業領域も若しくはデータバッファ領域として利用可能になる。

【0 0 4 3】

フラッシュメモリ 6 は、マイクロコンピュータ 1 がシステムに実装された状態で CPU 2 の制御に基づいてその記憶情報を書換え可能にされると共に、汎用 PROM ライタのような外部書き込み装置の制御に基づいてその記憶情報を書換え可能にされる。モード端子 MD 0 ～ MD 2 は、前記フラッシュメモリ 6 を CPU 2 に書換え制御させる第 1 動作モードと前記外部書き込み装置に制御させる第 2 動作モードとを選択的に指定するための動作モード信号の入力端子として利用される。

【0 0 4 4】

また、フラッシュメモリ 6 はメモリアレイの一部に、マイクロコンピュータ 1 へのリセット指示によって読み出し可能にされる特定記憶領域 6 A を有する。マイクロコンピュータ 1 の前記リセット処理の一環としてシステムコントローラ 1

4 から出力される制御信号 20 によって前記特定領域 6A に対する読み出し動作が行なわれる。前記特定記憶領域 6A は、所定の内部回路例えばフラッシュメモリ 6 や RAM 5 の正規記憶領域を冗長記憶領域に置き換え可能とする救済情報、たま、所定の内部回路例えば電源回路 13 や A/D 9 の特性を調整可能とするトリミング情報の格納領域として利用される。特定記憶領域 6A から読み出された記憶情報はレジスタ 17 にロードされ、ロードされた救済情報 18a、18b がフラッシュメモリ 6、RAM 5 に転送され、ロードされたトリミング情報 19a、19b が電源回路 13、A/D 9 に転送される。

【0045】

《汎用 PROM ライタによる情報書き込み》

図 2 には汎用 PROM ライタによるフラッシュメモリ 6 の書き込みに着目したブロック図が示される。モード端子 MD0～MD2 は前記システムコントローラ 14 に接続される。システムコントローラ 14 はモード端子 MD0～MD2 から供給されるモード信号をデコードし、前記第 1 動作モード又は第 2 動作モードが指示されているか、或はその他の動作モードが指示されているかを判定する。第 2 動作モードが指示されているとき、システムコントローラ 14 は、汎用 PROM ライタ PRW とインタフェースされるべき I/O ポートを指定して、フラッシュメモリ 6 を直接外部の汎用 PROM ライタ PRW でアクセス可能に制御する。すなわち、フラッシュメモリ 6 との間でデータの入出力を行うための I/O ポート PORTdata と、フラッシュメモリ 6 にアドレス信号を供給するための I/O ポート PORTaddr と、フラッシュメモリ 6 に各種制御信号を供給するための I/O ポート PORTcont とが指定される。更に、汎用 PROM ライタ PRW による書換え制御とは直接関係ない CPU 2、RAM 5、ROM 4 などのオンチップ機能モジュールの実質的な動作を抑制する。例えば、図 2 に例示されるようにデータバス DBUS とアドレスバス ABUS の夫々に配置されたスイッチ手段 SWITCH を介して前記 CPU 2 などのオンチップ機能モジュールとフラッシュメモリ 6 とのバス接続を切離す。前記スイッチ手段 SWITCH は、前記 CPU 2 などのオンチップ機能モジュールからデータバス DBUS にデータを出力する回路や、アドレスバス ABUS にアドレスを出力する回路に配置された

、バスバッファもしくはトランスファゲートのようなトライステート（3ステート）ゲートとして把握することができる。このようなトライステートゲートは、第2動作モードに応答してオフ状態（高インピーダンス状態）に制御される。図2では汎用PROライタPRWによる書換え制御とは直接関係ないCPU2、RAM5、ROM4などのオンチップ機能モジュールは、スタンバイ端子STBYから供給されるローレベルのスタンバイ信号によって低消費電力モードにされる。前記トライステートゲートの高インピーダンス制御に代えて、モード信号MD0～MD2による第2動作モードの指定に応答してそれらのオンチップ機能モジュールに低消費電力モードを設定することにより、汎用PROライタPRWによる書換え制御とは直接関係ないCPU2、RAM5、ROM4などのオンチップ機能モジュールの実質的な動作を停止させてもよい。

【0046】

第2動作モードが設定されるマイクロコンピュータ1の前記I/OポートPORTdata, PORTaddr, PORTcontは変換ソケットSOCKETを介して汎用PROMライタPRWに結合される。変換ソケットSOCKETは、一方においてI/OポートPORTdata, PORTaddr, PORTcontの端子配置を有し、他方において標準メモリの端子配置を有し、相互に同一機能端子が内部で接続されている。

【0047】

前記汎用PROMライタPRWによる書込みは、主にマイクロコンピュータ1をオンボードする前、すなわちマイクロコンピュータ1をシステムに実装する前に初期的にデータを書き込み、又は初期的にプログラムを書き込むのに適用することにより、比較的大量の情報を能率的に書込むことができる。

【0048】

《CPU制御による書き込み制御プログラム》

図3にはCPU制御によるフラッシュメモリ6の書換えに着目したブロック図が示される。CPU2が実行すべき書換え制御プログラムは、予め汎用PROMライタPRWにてフラッシュメモリ6に書き込まれ、或は、ROM4が保有する。マイクロコンピュータ1は所定のシステムに実装されている。所謂オンボード

の状態とされる。I/Oポート11a～11iやSCI8はシステム上でバスや外部回路に接続された状態になっている。この状態で、前記モード端子MD0～MD2によって第1動作モードが指示され、システムコントローラ14がこれを認識することにより、CPU2は、既にフラッシュメモリ6に書き込まれた書き込み制御プログラム、或はROM4が保持する書換え制御プログラムにしたがってフラッシュメモリ6に対してデータの書き換えもしくは消去及び書き込みを行なう。

【0049】

例えば、フラッシュメモリ6の所定記憶領域に書換え制御プログラムと、転送制御プログラムが予め書き込まれているとする。CPU2は、第1動作モードが指示されると、転送制御プログラムを実行して書換え制御プログラムをRAM5に転送する。転送終了後、CPU2の処理は、そのRAM5上の書換え制御プログラムの実行に分岐し、これによって、フラッシュメモリ6に対する消去並びに書き込み（ベリファイを含む）を行なう。ROM4に書換え制御プログラムを保有するときは転送制御プログラムは不要である。CPU2は、第1動作モードが指示されると、ROM4が保持する書換え制御プログラムを順次実行し、これにより、フラッシュメモリ6に対する消去並びに書き込みを行なう。

【0050】

CPU制御の書き込みは、マイクロコンピュータ1が実装されたシステムを動作させながらデータのチューニングをする場合、またプログラムのバグ対策若しくはシステムのバージョンアップに伴うプログラムの変更等、マイクロコンピュータ1がシステムに実装された状態（オンボード状態）でデータやプログラムの変更が必要になった場合に適用される。これにより、マイクロコンピュータ1を実装システムから取り外すことなくフラッシュメモリ6を書換えることができる。

【0051】

《フラッシュメモリ》

図4にはフラッシュメモリ6に採用される不揮発性メモリセル（以下単にメモリセルとも記す）の一例が示される。不揮発性メモリセル21は、シリコン基板上に設けたp型ウエル領域22に、情報記憶に用いるMOS型の第1トランジス

タ部 23 と、前記第 1 トランジスタ部 23 を選択する MOS 型の第 2 トランジスタ部（選択 MOS トランジスタ部） 24 とを有して成る。第 1 トランジスタ部 23 は、ソース線に接続するソース線電極となる n 型拡散層（n 型不純物領域） 30、絶縁性電荷蓄積層としての電荷蓄積領域（例えばシリコン窒化膜） 31、電荷蓄積領域 31 の表裏に配置された絶縁膜（例えば酸化シリコン膜） 32、33、書込み・消去時に高電圧を印加するためのメモリゲート電極（例えば n 型ポリシリコン層） 34、及びメモリゲート電極保護用の酸化膜（例えば酸化シリコン膜） 35 を有する。前記絶縁膜 32 は膜厚 5 nm、電荷蓄積領域 31 は膜厚 10 nm（酸化シリコン膜換算）、前記酸化膜 33 は膜厚 3 nm とされる。前記第 2 トランジスタ部 24 は、ビット線に接続するビット線電極となる n 型拡散層（n 型不純物領域） 36、ゲート絶縁膜（例えば酸化シリコン膜） 37、コントロールゲート電極（例えば n 型ポリシリコン層） 38、前記コントロールゲート電極 38 とメモリゲート電極 34 を絶縁する絶縁膜（例えば酸化シリコン膜） 29 を有する。選択 MOS トランジスタ部 24 のゲート酸化膜は CPU 2 に代表されるロジック部を構成する MOS トランジスタのゲート酸化膜と同じ膜厚を有する。

【0052】

前記第 1 トランジスタ部 23 の電荷蓄積領域 31 とその表裏に配置された絶縁膜 32 及び絶縁膜 33（併せてメモリゲート絶縁膜 31、32、33 と称する）との膜厚の総和を t_m 、コントロールゲート電極 38 のゲート絶縁膜 37 の膜厚を t_c 、コントロールゲート電極 38 と電荷蓄積領域 31 との間の絶縁膜の膜厚を t_i とすると、 $t_c < t_m \leq t_i$ の関係が実現されている。ゲート絶縁膜 37 とメモリゲート絶縁膜 31、32、33 との寸法差より、第 2 トランジスタ部 24 のゲート絶縁耐圧は第 1 トランジスタ部 23 のゲート絶縁耐圧よりも低くされる。

【0053】

尚、拡散層 36 の部分に記載されたドレイン（*drain*）の語はデータ読み出し動作において当該拡散層 36 がトランジスタのドレイン電極として機能し、拡散層 30 の部分に記載されたソース（*source*）の語はデータ読み出し動作において当該拡散層 30 がトランジスタのソース電極として機能することを意

味する。消去・書き込み動作ではドレイン電極、ソース電極の機能はドレイン (d r a i n) , ソース (s o u r c e) の表記に対して入れ替えることがある。

【0054】

図5には図4の不揮発性メモリセルに対する特徴が代表的に示される。図5には階層型ビット線構造における不揮発性メモリセル21の接続形態が例示される。前記拡散層36は副ビット線BL (以下単にビット線BLとも記す) に、拡散層30はソース線SLに、メモリゲート電極34はメモリゲート制御線MLに、コントロールゲート電極38はコントロールゲート制御線CLに接続される。副ビット線BLはnチャンネル型のスイッチMOSトランジスタ (ZMOS) 39を介して主ビット線 (グローバルビット線とも記す) GLに接続される。特に図示はしないが、副ビット線BLには複数個の不揮発性メモリセル21が接続され、1本の主ビット線GLには夫々前記ZMOS 39を介して複数本のビット線BLが接続される。

【0055】

図5では前記コントロールゲート制御線CLを駆動する第1ドライバ (ワードドライバ) 41、メモリゲート制御線MLを駆動する第2ドライバ42、前記ZMOS 39をスイッチ駆動する第3ドライバ (Zドライバ) 43、前記ソース線SLを駆動する第4ドライバ44が代表的に図示されている。前記ドライバ42, 44はゲート絶縁耐圧が高耐圧のMOSトランジスタを用いた高耐圧MOSドライバによって構成される。ドライバ41, 43はゲート絶縁耐圧が比較的低いMOSトランジスタを用いたドライバによって構成される。例えばCPU2に代表されるロジック部を構成するMOSトランジスタと同じMOSトランジスタを用いて構成することができる。

【0056】

不揮発性メモリセル21の第1トランジスタ部23に比較的高い閾値電圧を設定する書き込み動作では、例えば、メモリゲート電圧 V_{mg} 及びソース線電圧 V_s を高電圧とし、制御ゲート電圧 V_{cg} に1.5Vを与え、書き込み選択ビット線を0.8V、書き込み非選択ビット線を1.5Vとして、書き込み選択ビット線の第2トランジスタ部24をオン動作させて、拡散層30から拡散層36に電



流を流す。この電流により、コントロールゲート電極 38 側の電荷蓄積領域 31 近傍で発生したホットエレクトロンを電荷蓄積領域 31 に保持させればよい。書き込み電流を数マイクロ・アンペア～数十マイクロ・アンペア程度の定電流で書き込む場合、書き込み選択ビット線電位は接地電位に限らず、上述の 0.8 V 程度印加して、チャンネル電流を流せばよい。書き込み動作においては、n チャンネル型のメモリセルにとって、拡散層 30 がドレインとして機能し、拡散層 36 がソースとして機能する。この書き込み形式はホットエレクトロンのソースサイドインジェクションとなる。

【0057】

第 1 トランジスタ部 23 に比較的低い閾値電圧を設定する消去動作では、例えば、メモリゲート電圧 V_{mg} に高電圧を印加し、電荷蓄積領域 31 に保持されているエレクトロンをメモリゲート電極 34 に放出させる。このとき、拡散層 30 を回路の接地電位とする。このとき、第 2 トランジスタ部 24 をオン状態にしてもよい。

【0058】

第 1 トランジスタ部 23 に対する上記書き込み・消去動作より明らかなように、コントロールゲート制御線 CL やビット線 BL に高電圧を印加することなく実現することが可能である。このことは、第 2 トランジスタ部 24 のゲート耐圧が比較的低くてよいことを保証する。ZMOS 39 も高耐圧であることを要しない。

【0059】

特に制限されないが、図 6 に例示されるように、閾値電圧が低くされた消去状態の第 1 トランジスタ部 23 はデプレッション型とされ、閾値電圧が高くされた書き込み状態の第 1 トランジスタ部 23 はエンハンスメント型とされる。図 6 の消去・書き込み状態において、読み出し動作時におけるメモリゲート電極 34 は回路の接地電圧にすればよい。更に読み出し動作を高速化する場合はメモリゲート電極 34 に例えば電源電圧 V_{dd} を印加してもよい。これに対し、図 7 のように消去及び書き込みの双方の状態をエンハンスメント型にする場合には、読み出し動作時におけるメモリゲート電極 34 は例えば電源電圧 V_{dd} を印加する。

【0060】

図6の閾値状態において図5の不揮発性メモリセル41に対する読み出し動作では、ソース線電圧 V_s を0V、メモリゲート電圧 V_{mg} を1.5Vにし、読み出し選択すべきメモリセルのコントロールゲート電圧 V_{cg} を1.5Vの選択レベルにすればよい。第2トランジスタ部24がオン状態にされたとき、第1トランジスタ部23の閾値電圧状態に従って電流が流れるか否かに応じてビット線BLに記憶情報が読み出される。第2トランジスタ部24は第1トランジスタ部23よりもゲート絶縁耐圧が低く、そのゲート酸化膜厚も比較的薄いから、記憶保持用のMOSトランジスタと選択用のMOSトランジスタの双方を高耐圧で形成する場合に比べて不揮発性メモリセル21全体の電流供給能力を相対的に大きくする事ができ、データ読み出し速度を高速化することができる。

【0061】

尚、特に図示はしないが、不揮発性メモリセル21に対する読み出し動作では電流の向きを上記の順方向とは逆向（逆方向）きにすることが可能である。

【0062】

図8には図5の不揮発性メモリセルの書き込み動作に着目したときのデバイス断面が示される。図の書き込み電圧状態では電荷蓄積領域31直下のコントロールゲート電極38附近まで6Vのチャンネルが形成され、これに対し、コントロールゲート電極38直下のチャンネルは0Vであり、これにより、電荷蓄積領域31のメモリゲート電極38側直下で急峻な電界（急電界）が形成され、ソースドレイン間のチャンネルを流れる電流を制御することが出来る。この急電界によりホットエレクトロンが生成され、電荷蓄積領域31に蓄積される。コントロールゲート電極38直下のチャンネルは0Vであるからコントロールゲート電極38の絶縁膜37は、高耐圧を要しない論理回路などの大多数のMOSトランジスタと同じまたは同程度の薄膜化が保証される。電流を絞る場合には、コントロールゲート電極38直下のチャンネルは0.8V程度である。

【0063】

書き込み動作においてコントロールゲート電極38直下のチャンネルが6Vにならないのは、ウェル領域22に形成される前記ビット線電極36とソース線電極

30との間に高濃度不純物領域例えば拡散層が形成されていないからである。そのような拡散層が形成されているとすると、書き込み時のソース電圧が当該拡散層に伝達されることになるので、選択MOSトランジスタ部のゲート絶縁膜を厚膜にすることが必要になって、高速化の読み出しが難しくなる。

【0064】

図9には本発明に係る不揮発性メモリセル1の別の断面構造を示す。コントロールゲート電極38の隣に電荷蓄積領域31及びメモリゲート電極34を配置し、メモリゲート電極34をサイドウォールゲートとして形成してもよい。特に図示はしないが、前記電荷蓄積領域31には、前記シリコン窒化膜（シリコンナイトライド膜）のような、絶縁膜に覆われた電荷トラップ性絶縁膜を採用すること限定されず、絶縁膜に覆われた導電性浮遊ゲート電極（例えばポリシリコン電極）、又は絶縁膜に覆われた導電性微粒子層等を採用してよい。導電性微粒子層は、例えばポリシリコンをドット状とするナノドットによって構成することができる。

【0065】

図10には前記フラッシュメモリ6の構成を全体的に示す。メモリアレイ50は図5で説明した階層ビット線構造を有し、前記不揮発性メモリセル21を備える。ドライバ回路(DRV)51は前記ドライバ23, 21等を備えて回路ブロックであり、Xアドレスデコーダ(XDCR)53から供給されるアドレスデコード信号に従って出力動作すべきドライバを選択する。ドライバ回路(DRV)52は前記ドライバ42, 44などを備え、コントロールゲート制御線CLの状態等に従って出力動作すべきドライバを選択する。グローバルビット線GLにはセンスアンプ回路及び書き込み制御回路58が接続される。センスアンプ回路はグローバルビット線GLに読み出されたリードデータを増幅してラッチする。書き込み制御回路は書き込み動作においてグローバルビット線に供給すべき書き込み制御情報をラッチする。センスアンプ回路及び書き込み制御回路58は、Y選択回路(YG)59を介してデータ入出力バッファ(DTB)60に接続され、内部バス16に含まれるデータバスDBUSとインタフェース可能にされる。読み出し動作においてY選択回路(YG)59は、Yアドレスデコーダ(YDCR)

54から出力されるアドレスデコード信号に従って、センスアンプ回路にラッチされた読み出しデータを選択する。選択された読み出しデータはデータ入出力バッファ60を介して外部に出力可能にされる。書き込み動作においてY選択回路59は、データ入出力バッファ60から供給される書き込みデータをどのグローバルビット線に対応させて書き込み制御回路にラッチさせるかを制御する。

【0066】

アドレス信号はアドレスバスABUSからアドレスバッファ55に供給され、アドレスバッファ55からXアドレスデコーダ53及びYアドレスデコーダ54に供給される。読み出し、消去、書き込みに必要な動作電源は電圧発生回路(VS)57が外部電源Vdd, Vssに基づいて生成する。例えば図5説明した書き込み動作電圧を想定すると、Vdd=1.5V、VCC E=16V、VCC P=13V、VCC D=6Vになる。

【0067】

制御回路(CONT)56は制御レジスタ64に設定された制御情報に従って、フラッシュメモリ6の、読み出し動作、消去動作、及び書き込み動作の制御シーケンスや動作電源の切換え制御等を行う。動作電源の切換え制御とは、読み出し動作、消去動作、及び書き込み動作に応じて、ドライバ41～44の動作電源を図5の動作態様に従って適切に切換える制御である。

【0068】

《救済情報による不良救済》

図10において前記制御回路56には、マイクロコンピュータ1の前記リセット処理の一環としてシステムコントローラ14から出力される制御信号20が供給される。制御回路は制御信号20による指示に従ってメモリアレイ50の前記特定領域6Aに対する読み出し動作を行なって救済情報18a, 18とトリミング情報19a, 19bをレジスタ17にロードする。レジスタ17にロードされた救済情報18a, 18とトリミング情報19a, 19bは、クロック信号に同期して、対応する回路6, 5, 13, 9のレジスタにラッチされる。レジスタ17から対応回路への信号経路は、特に制限されないが、専用信号線によって構成される。これに代えて内部バス16を利用することも可能である。

【0069】

図11にはフラッシュメモリ6における冗長救済のための回路構成が例示される。メモリアレイ50は、正規記憶領域として複数個のメモリブロックMBLKに分割され、正規メモリブロックMBLK単位で不良を置き換える冗長記憶領域として冗長メモリブロックRBLKを有する。正規メモリブロックMBLK及び冗長メモリブロックRBLKの内部は図10に示されるメモリアレイの構成を備える。前記特定領域6Aは所定の正規メモリブロックMBLKに割当てられる。正規メモリブロックMBLK及び冗長メモリブロックRBLKには夫々ドライバ回路51, 52が配置される。デコーダ回路53は、正規メモリブロックMBLK毎に対応されるアドレスデコーダADC及び救済デコーダRDCと、冗長メモリブロックRBLKに対応される冗長アドレスデコーダRADC及びアドレス比較器ACMPとを有する。

【0070】

救済デコーダRDCにはレジスタ70から出力される救済情報18aが供給される。救済情報には救済イネーブル情報と救済アドレス情報を含む。レジスタ70にはマイクロコンピュータ1のリセット処理において前記レジスタ17から救済情報18aがイニシャルロードされる。救済デコーダRDECは救済情報をデコードし、救済イネーブル情報がイネーブルを示すとき救済アドレス情報が指定するメモリブロックを解読する。例えば正規メモリブロックMBLKが16個、冗長メモリブロックRBLKを1個とすれば、救済デコーダRDCは4ビットの救済アドレス情報をデコードし、自らの正規メモリブロックMBLKが指定されていることを検出することによって自らの対応するアドレスデコーダADCを非活性化する。救済アドレス情報はアドレス信号の上位ビットに対応され、アドレス比較器ACMPは救済アドレス情報とアドレス信号の上位ビットを比較し、一致したとき冗長アドレスデコーダRADCを活性化する。冗長アドレスデコーダRADCは正規のアドレスデコーダADCに対し、アドレス信号の上位側（救済アドレス情報のビット数分）を除くアドレスデコード論理を有している。したがって、救済情報によって指定された正規メモリブロックMBLKは冗長メモリブロックRBLKに置き換え可能にされる。

【0071】

これにより、救済対象の指定に電気ヒューズやレーザヒューズに対するプログラムを必要とせず、欠陥救済に対する救済効率を向上させることができる。

【0072】

特に図示はしないが救済情報によるRAM5に対する不良救済も上記同様に行なうことができる。

【0073】

救済情報はマイクロコンピュータ1の製造工程中などで行なわれるデバイステストの結果に従って取得すればよい。特定領域6Aに救済情報を初期的に書き込むときは前記第2モードによりEPROMライターを用いて行なえばよい。システム実装後に欠陥を生じたとき、救済に利用可能な冗長構成が残っている場合には、前記第1モードによるオンボードで救済情報の書き換えを行なえばよい。

【0074】

《トリミング情報による特性調整》

図12には電源回路13の一例が示される。電源回路13は、内部電源電圧V_{dd}のレベルを規定するための参照電圧を決定する制御情報としてトリミング情報19aを電圧トリミングレジスタ75にラッチする。このレジスタ75に対する電圧トリミング情報19aのイニシャルロードは、前述の救済情報のイニシャルロードと同様に、リセットの指示に応答して前記フラッシュメモリ6からレジスタ17を介して行なわれる。

【0075】

内部電圧V_{dd}はnチャンネル型MOSトランジスタM5と抵抗素子R5から成るソースフォロア回路から出力される。トランジスタM5のコンダクタンスはオペアンプAMP2によって負帰還制御される。電圧V_{dd}は論理的に制御電圧VDL1に等しくされる。制御電圧VDL1は、nチャンネル型MOSトランジスタM4と抵抗素子R0～R4から成るソースフォロア回路から出力される。トランジスタM4のコンダクタンスはオペアンプAMP1によって負帰還制御される。その帰還系は、抵抗R0～R4による抵抗分圧比を選択可能なスイッチMOSトランジスタM0～M3が設けられて、トリミング回路を構成している。スイ

タッチMOSトランジスタM0～M3の選択は、2ビットの電圧トリミング情報19aをデコードするデコーダDEC1が行う。そのようにして形成される帰還電圧は基準電圧発生回路VGE1で発生される基準電圧とオペアンプAMP1で比較される。このオペアンプAMP1は、制御電圧VDL1が参照電圧Vrefに等しくなるように負帰還制御を行う。

【0076】

前記電源回路13の素子特性が、製造プロセスの影響によって、比較的大きくばらついた場合、内部電圧VDL1が設計値的な所望範囲内に入るようにデコーダDEC1で選択する抵抗分圧比を変更する。そのための情報は、デバイステストによって把握される回路特性から予め得ることができ、前述のように、EPROMライトモードなどによってフラッシュメモリ6の特定領域6Aに予め書き込んでおけばよい。マイクロコンピュータ1がリセットされるとき、その電圧トリミング情報19aはフラッシュメモリ6から電圧トリミングレジスタ75にイニシャルロードされる。

【0077】

これにより、回路特性の調整に電気ヒューズやレーザヒューズに対するプログラムを必要とせず、回路特性の調整効率を向上させることができる。

【0078】

特に図示はしないがトリミング情報19bによるA/D9に対する変換特性調整も上記同様に行なうことができる。

【0079】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0080】

例えば、不揮発性メモリセルに対する閾値電圧状態と書き込み・消去状態との対応は相対的な概念であり上記とは逆の定義を行うことも可能である。不揮発メモリセルの低い閾値電圧状態はデプレッション型に限定されず、エンハンスメント型であつてよいことは言うまでもない。また、書き込み、消去、読み出しの動

作電圧は図 5 の説明に限定されず適宜変更可能である。

【0081】

また、消去動作では電荷蓄積領域 31 のエレクトロンをメモリゲート 34 に放出させる形態に限定されず、消去時における電界の向きを逆向きとして、電荷蓄積領域 31 のエレクトロンをウェル領域 22 に放出させるようにしてもよい。

【0082】

ビット線にはグローバルビット線に対して階層化された構成を採用しなくてもよく、ビット線をセンスアンプ回路又は書き込み回路の接続してよい。

【0083】

また、不揮発性メモリセルの ONO 構造における膜厚は、チャネル領域寄りより、3 nm (ナノ・メートル)、26.5 nm、0 nm 近傍の組み合わせであったり、或は、5 nm、10 nm、3 nm の組み合わせであったりしてよい。

【0084】

また、マイクロコンピュータに内蔵される周辺回路は上記の例に限定されず適宜変更することができる。

【0085】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されず、システムオンチップのシステム LSI 等の各種半導体データ処理装置に広く適用することができる。

【0086】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0087】

すなわち、オンチップ不揮発性メモリにおける記憶情報の読み出し経路から高速性を損なう厚膜の高耐圧 MOS トランジスタを排除することができる。

【0088】

オンチップ不揮発性メモリから記憶情報を高速に読み出すことができる。

【0089】

救済対象の指定に電気ヒューズやレーザヒューズに対するプログラムを必要とせず、欠陥救済に対する救済効率を向上させることができる。

【0090】

回路特性の調整に電気ヒューズやレーザヒューズに対するプログラムを必要とせず、回路特性の調整効率を向上させることができる。

【0091】

データプロセッサをシステムに実装する前に不揮発性メモリにプログラムや救済情報などを効率的に書き込みすることができ、しかも、データプロセッサをシステムに実装した後にオンボードで不揮発性メモリにプログラムや救済情報などの書き換えを行なうことができる。

【図面の簡単な説明】**【図1】**

本発明の一例に係るマイクロコンピュータのブロック図である。

【図2】

汎用PROMライターによるフラッシュメモリの書き込みに着目したマイクロコンピュータの説明図である。

【図3】

CPU制御によるフラッシュメモリの書換えに着目したマイクロコンピュータの説明図である。

【図4】

フラッシュメモリに採用されるスプリットゲート構造の不揮発性メモリセルの一例を示す概略縦断面図である。

【図5】

図4の不揮発性メモリセルに対する特徴を代表的に示す説明図である。

【図6】

不揮発性メモリセルの消去、書き込み状態をデプレション型、エンハンスメント型としたときの閾値電圧状態を例示する説明図である。

【図7】

不揮発性メモリセルの消去，書き込み状態を共にエンハンスメント型としたときの閾値電圧状態を例示する説明図である。

【図 8】

図 5 の不揮発性メモリセルの書き込み動作の説明図である。

【図 9】

スプリットゲート型不揮発性メモリセルの別の縦断面構造を示す説明図である。

【図 1 0】

フラッシュメモリの全体的な構成を示すブロック図である。

【図 1 1】

フラッシュメモリにおける冗長救済のための回路構成を示すブロック図である。

【図 1 2】

電源回路の一例を示す回路図である。

【符号の説明】

- 1 マイクロコンピュータ
- 2 中央処理装置
- 4 R O M
- 5 R A M
- 6 フラッシュメモリ
- 6 A 特定領域
- 8 S C I
- 9 A / D
- 1 3 電源回路
- 1 4 システムコントローラ
- MD 0 ～ MD 2 モード端子
- R E S リセット端子
- 1 7 レジスタ
- 1 8 a , 1 8 b 救済情報

1 9 a, 1 0 b トリミング情報

P R W 汎用 P R O M ライト

2 1 不揮発性メモリセル

2 2 ウェル領域

2 3 第 1 トランジスタ部

2 4 第 2 トランジスタ部

3 0 ソース線電極

3 1 絶縁性電荷蓄積層 (シリコン窒化膜)

3 2, 3 3 絶縁膜

3 4 メモリゲート電極

3 6 ビット線電極

3 7 ゲート絶縁膜

3 8 コントロールゲート電極

4 1 第 1 ドライバ (ワードドライバ)

4 2 第 2 ドライバ

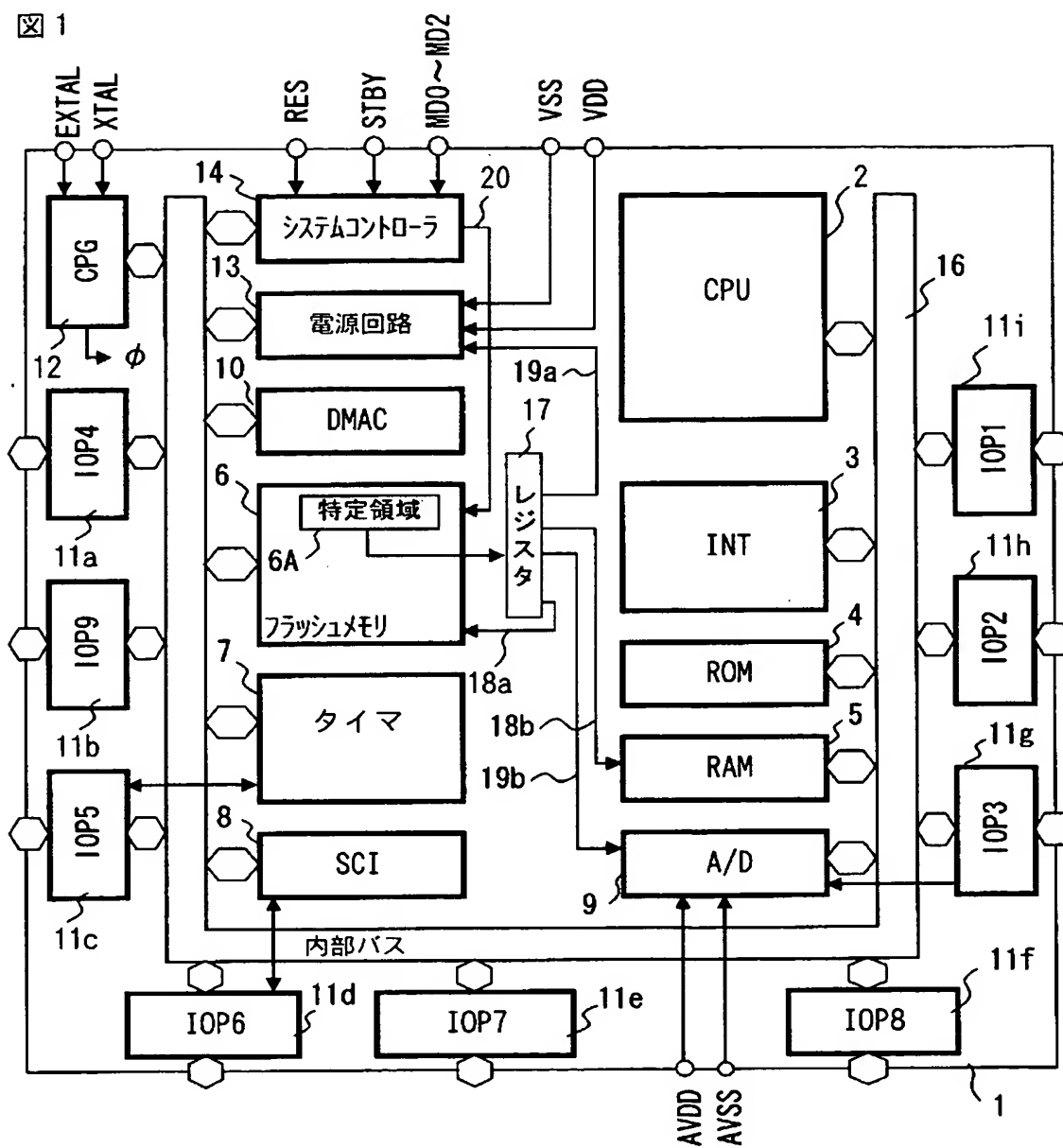
4 3 第 3 ドライバ (Z ドライバ)

4 4 第 4 ドライバ

【書類名】 図面

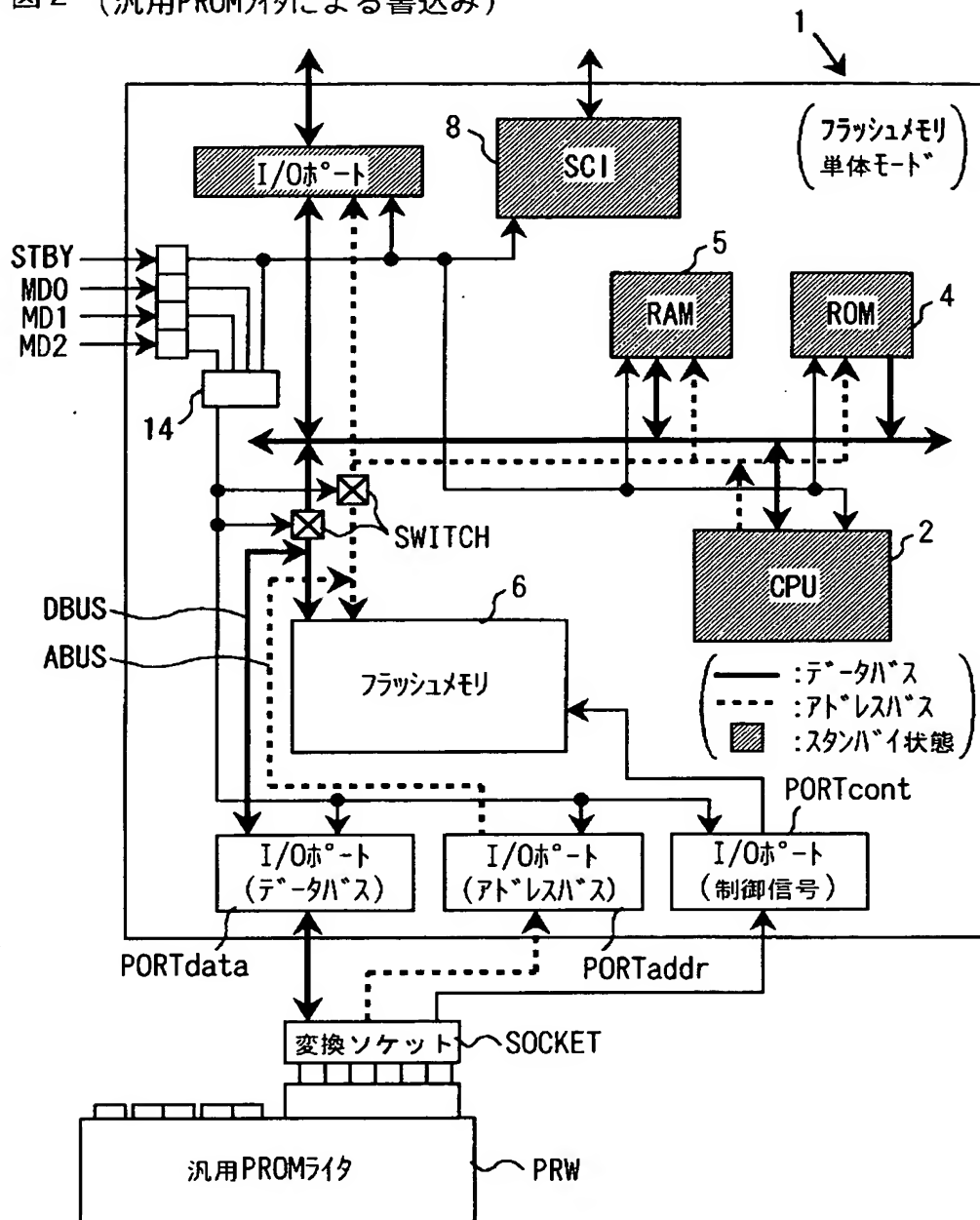
【図 1】

図 1

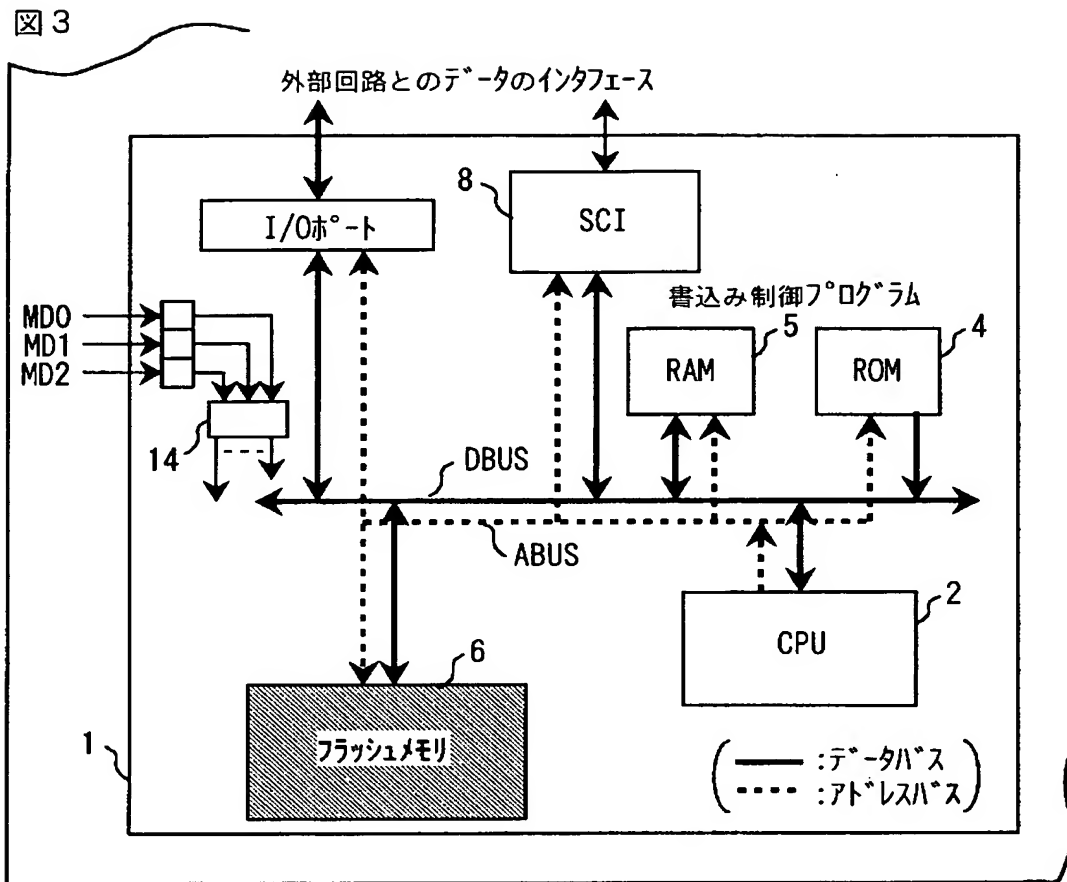


【図 2】

図 2 (汎用PROMライタによる書込み)

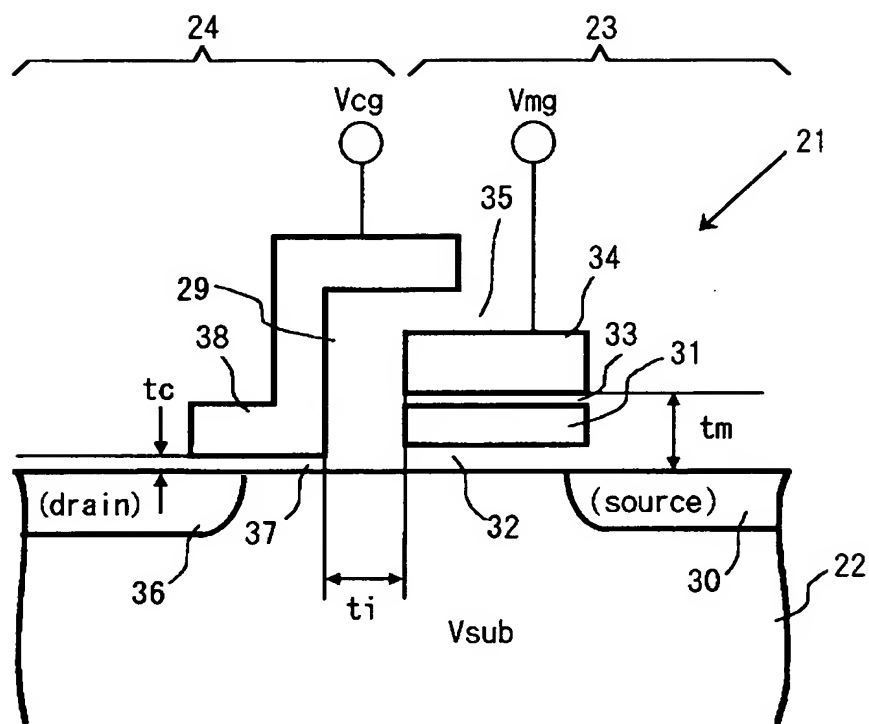


【図 3】



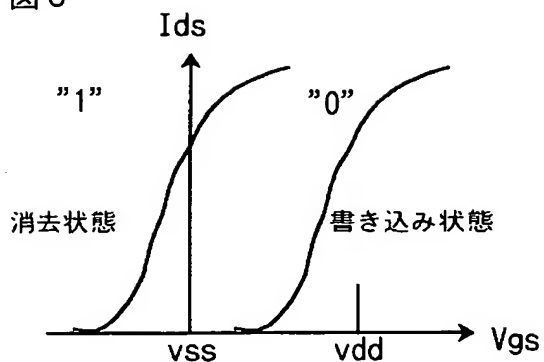
【図 4】

図 4



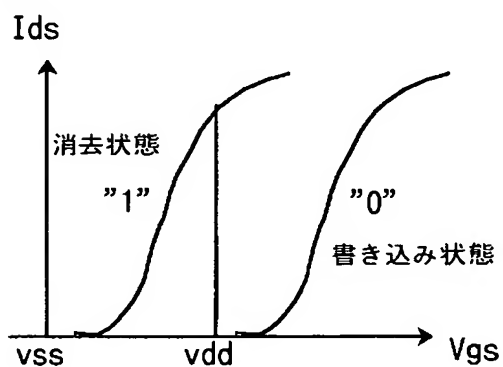
【図 6】

図 6



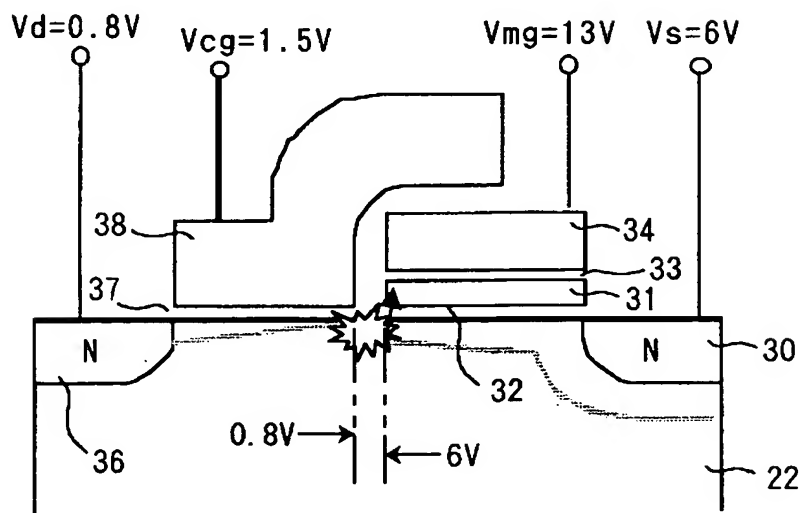
【図 7】

図 7

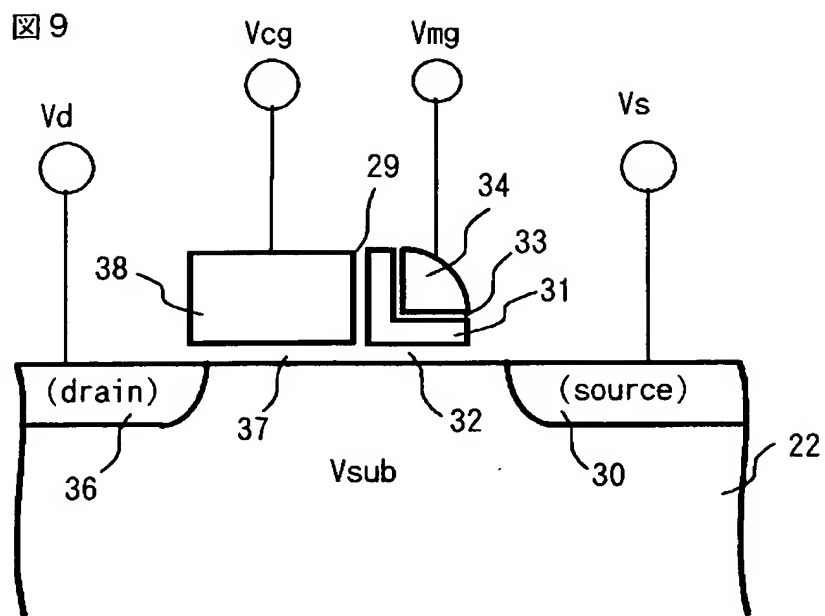


【図 8】

図 8

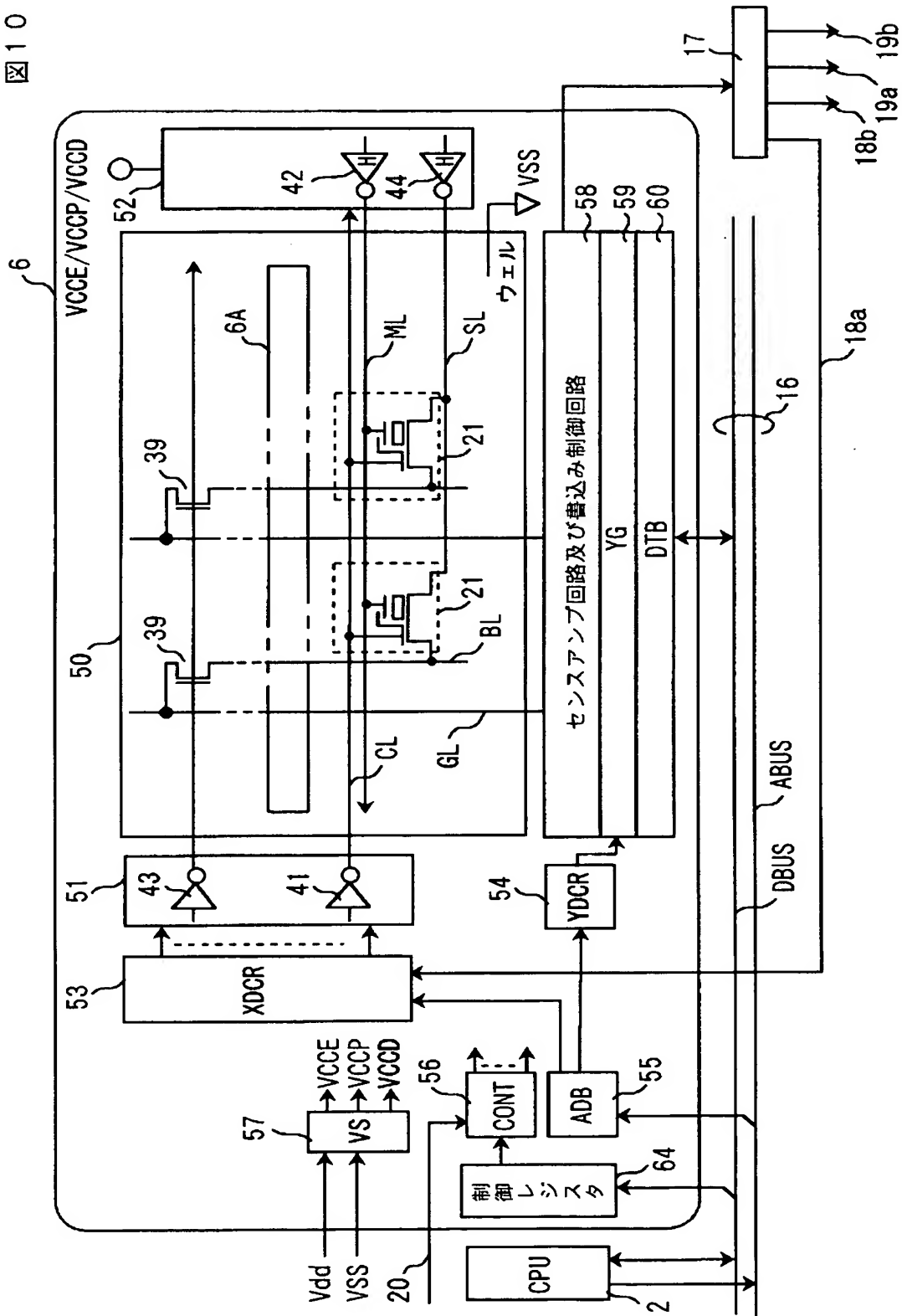


【図 9】

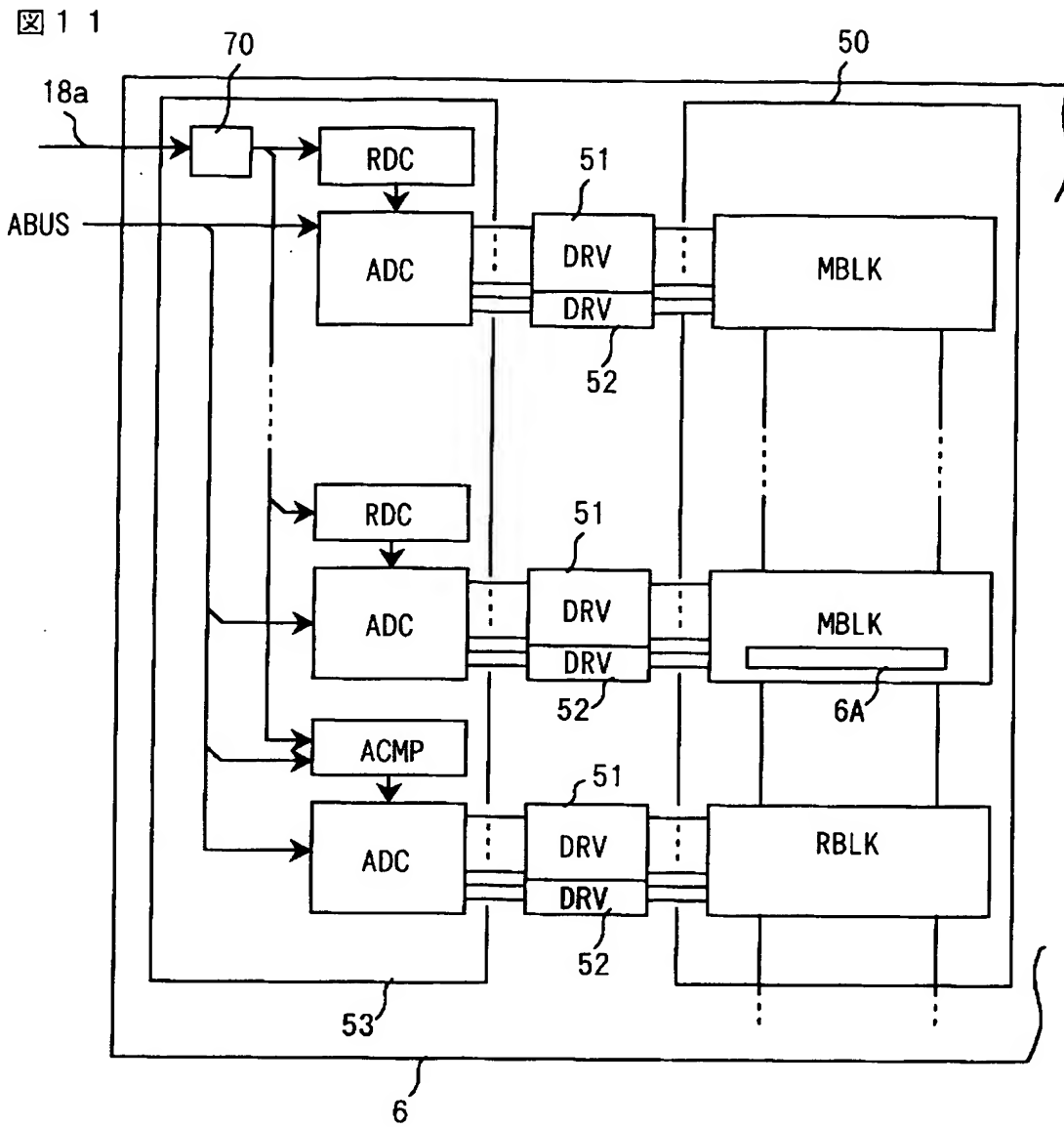


【図10】

図10

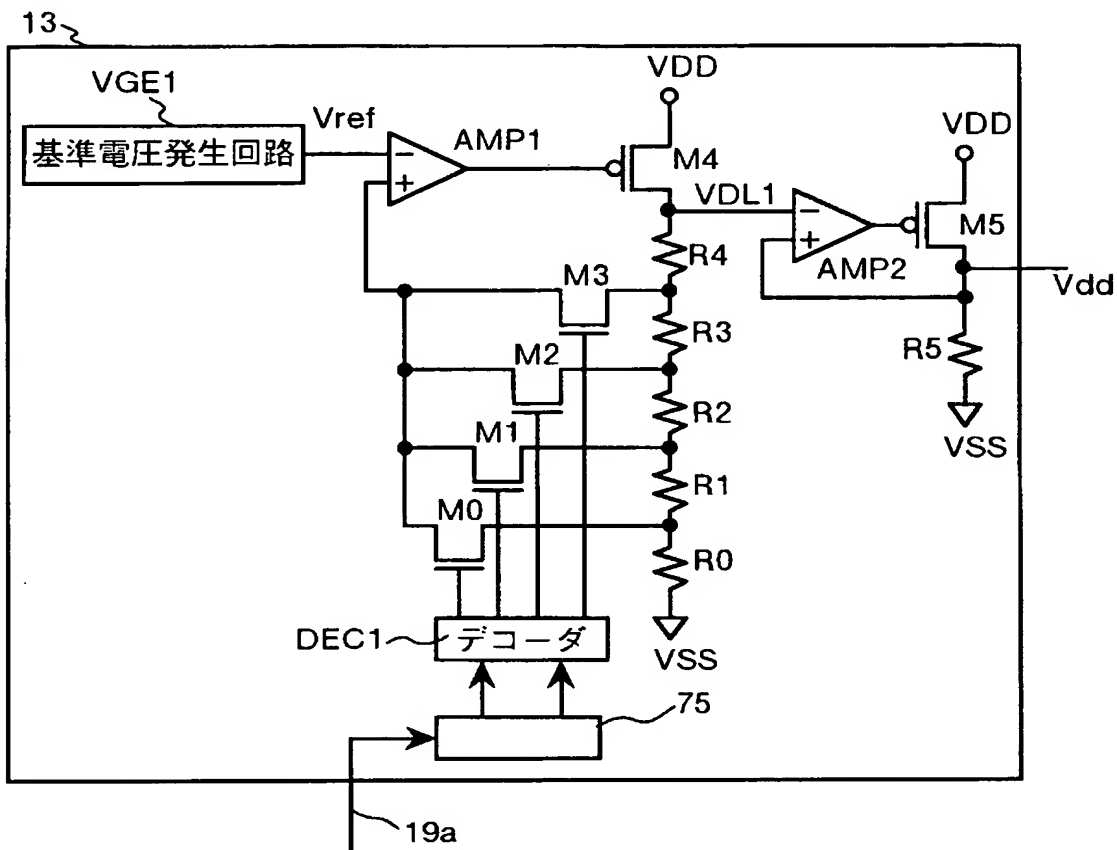


【図 11】



【図 12】

図 12



【書類名】 要約書

【要約】

【課題】 オンチップ不揮発性メモリの高速読み出しと、欠陥救済効率の向上を実現するデータプロセッサを提供する。

【解決手段】 不揮発性メモリ（6）に、ONO構造のメモリトランジスタ部とこれを選択する選択トランジスタ部から成るスプリットゲート構造の不揮発性メモリセルを採用する。選択トランジスタ部はメモリトランジスタ部よりもゲート耐圧を低くでき、読み出し速度の高速化に好都合である。不揮発性メモリの記憶領域に、データプロセッサのリセット指示によって読み出し可能にされる特定記憶領域（6 A）を割り当て、前記特定記憶領域に救済情報などを保持させる。救済情報が転送される内部回路（6，5）は、それによって指示される正規記憶領域を冗長記憶領域に置き換える。救済対象の指定に電気ヒューズやレーザヒューズに対するプログラムを必要としない。

【選択図】 図 1



特願 2 0 0 3 - 1 1 3 5 5 5

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ